

**METHOD FOR CRUSHING AND/OR KNEADING SOLID**

**Patent number:** JP2001205132  
**Publication date:** 2001-07-31  
**Inventor:** MIKI TOSHIO; TSUZAKI MASAOKI  
**Applicant:** ASAHI GLASS CO LTD  
**Classification:**  
- **International:** B02C19/18; B01F3/12  
- **European:**  
**Application number:** JP20000022417 20000131  
**Priority number(s):**

**Abstract of JP2001205132**

**PROBLEM TO BE SOLVED:** To provide a method for crushing and/or kneading solid using a dispersing medium from problem of the depletion of ozone layer, nonflammable, high in stability, hardly imposing the problem of tightness on a device and excellent in drying property.

**SOLUTION:** The solid is crushed and/or kneaded under the presence of the dispersing medium containing a fluorine-containing hydrocarbon selected among decafluoropentane, heptafluorocyclopentane, perfluorohexane, perfluoroheptane.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-201532  
(P2001-201532A)

(43)公開日 平成13年7月27日 (2001.7.27)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 1 R 31/26		G 0 1 R 31/26	G 2 G 0 0 3
31/319		31/28	R 2 G 0 3 2

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21)出願番号 特願2000-9113(P2000-9113)

(22)出願日 平成12年1月18日 (2000.1.18)

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 三浦 武雄

東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内

(74)代理人 100066153

弁理士 草野 卓 (外1名)

Fターム(参考) 2G003 AA08 AE06 AH02 AH05

2G032 AA07 AB01 AB06 AD06 AE06

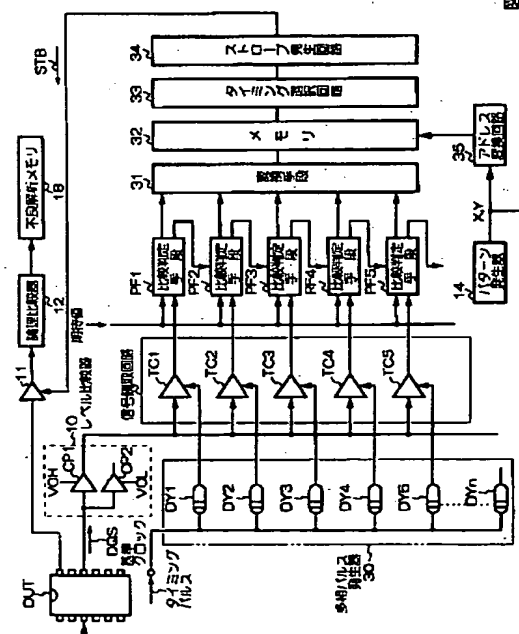
AE08 AC02 AC07 AH04 AL00

(54)【発明の名称】 半導体デバイス試験方法・半導体デバイス試験装置

(57)【要約】

【課題】 データの読み出しに同期してデータの受渡しに利用される基準クロックDQSを出力する半導体デバイスを短時間に高精度に試験する試験方法を提案する。

【解決手段】 被試験半導体デバイスから読み出されるデータと共に出力される基準クロックの立上り又は立下りのタイミングをわずかずつ位相差が与えられた多相パルスで構成されたストローブパルスでサンプリング動作する複数の信号読取回路で読み取り、その変化点を検出した多相パルスの相番号により基準クロックの立上り又は立下りのタイミングを規定すると共に、この相番号をメモリ32に記憶する。試験中はこの相番号によって一義的に決定されるタイミングで被試験半導体デバイスから読み出されるデータの読取を行い、そのタイミングで変化点の有無を判定し、その判定結果に従ってデバイスの良否を評価する。



## 【特許請求の範囲】

【請求項1】 被試験デバイスから出力されるデータに付随してこのデータの受渡しに供する基準クロックが出力され、この基準クロックのタイミングと上記データの変化点までの時間を計測し、この時間の計測値に応じて被試験デバイスを評価する半導体デバイス試験装置において、

各テストサイクル毎に予め上記基準クロックが出力されるタイミングを被試験アドレスの全てにわたって計測し記憶すると共に、記憶した各テストサイクルの計測結果を上記データの変化点までの時間を計測するための基準位相位置と決定することを特徴とする半導体デバイス試験方法。

【請求項2】 請求項1記載の半導体デバイス試験方法において、所定の位相位置から順次わずかつ位相差を与えられた多相パルスを発生させ、この多相パルスを上記基準クロックの発生タイミングを検出するための信号読み取り回路のストロープパルスとして利用することにより、上記基準クロックの変化点を検出したストロープパルスの相番号によって上記基準クロックの変化点を計測することを特徴とする半導体デバイス試験方法。

【請求項3】 請求項1記載の半導体デバイス試験方法において、上記基準クロックの変化点を検出したストロープパルスの相番号は、被試験半導体デバイスの被試験アドレスに対応したアドレスを具備したメモリに記憶され、被試験半導体デバイスを試験する際には上記メモリの被試験半導体デバイスに印加されるアドレスに対応したアドレスから上記相番号を読み出し、この読み出した相番号により上記データの論理値を読み取るタイミングを決定することを特徴とする半導体デバイス試験方法。

【請求項4】 請求項1記載の半導体デバイス試験方法において、上記基準クロックの変化点を検出したストロープパルスの相番号は被試験半導体デバイスに印加されるテストパターンの発生順序を表すアドレスに対応したアドレスを持つメモリに記憶され、被試験半導体デバイスを試験する際には上記メモリの被試験半導体デバイスに印加されるテストパターンの発生順序を表すアドレスから上記相番号を読み出し、この読み出した相番号により上記データの論理値を読み取るタイミングを決定することを特徴とする半導体デバイス試験方法。

【請求項5】 請求項1記載の半導体デバイス試験方法において、上記基準クロックの変化点を検出した相番号に対応付けして予め設定したタイミングでストロープパルスを発生させ、このストロープパルスのタイミングにより被試験半導体デバイスが出力するデータの論理値を読み取ることを特徴とする半導体デバイス試験方法。

【請求項6】 A、被試験半導体デバイスが出力するデータの論理値をストロープパルスの印加タイミングに従って読み取るデータ読み取り回路と、

B、上記被試験半導体デバイスが出力する基準クロック

の発生タイミングを計測するために設けられた複数の信号読み取り回路と、

C、この複数の信号読み取り回路のそれぞれにわずかつ位相差を与えられた多相パルスで構成されるストロープパルスを印加する多相パルス発生手段と、

D、上記複数の信号読み取り回路のそれぞれが読み取った結果を期待値と比較する複数の比較判定手段と、

E、この複数の比較判定手段の判定結果を上記基準クロックの変化点を検出したストロープパルスの相番号に変換する変換手段と、

F、この変換手段が変換した相番号を被試験半導体デバイスに印加したアドレスに対応したアドレスに記憶するメモリと、

G、このメモリに記憶された相番号が読み出される毎に、この相番号に対応したストロープパルスの発生タイミングを設定するタイミング選択回路と、

H、このタイミング選択回路に設定されたタイミング設定値に従って上記データ読み取り回路に印加するストロープパルスを生成するストロープ発生回路と、によって構成したことを特徴とする半導体デバイス試験装置。

【請求項7】 A、被試験半導体デバイスが出力するデータをストロープパルスの印加タイミングに従って読み取るデータ読み取り回路と、

B、上記被試験半導体デバイスが出力する基準クロックの発生タイミングを計測するために設けられた複数の信号読み取り回路と、

C、この複数の信号読み取り回路のそれぞれにわずかつ位相差を与えられた多相パルスで構成されるストロープパルスを印加する多相パルス発生手段と、

D、上記複数の信号読み取り回路のそれぞれが読み取った結果を期待値と比較する複数の比較判定手段と、

E、この複数の比較判定手段の判定結果を上記基準クロックの変化点を検出したストロープパルスの相番号に変換する変換手段と、

F、この変換手段が変換した相番号を被試験半導体デバイスに印加したテストパターンの発生順序を表すアドレスに対応したアドレスに記憶するメモリと、

G、このメモリに記憶された相番号が読み出される毎に、この相番号に対応したストロープパルスの発生タイミングを設定するタイミング選択回路と、

H、このタイミング選択回路に設定されたタイミング設定値に従って上記データ読み取り回路に印加するストロープパルスを生成するストロープ発生回路と、によって構成したことを特徴とする半導体デバイス試験装置。

【請求項8】 請求項6または7記載の半導体デバイス試験装置の何れかにおいて、

上記多相パルス発生手段は遅延時間がわずかつ異なる複数の遅延素子によって構成され、これら複数の遅延素子にパルスを印加してわずかつ位相差を与えられた多相パルスを発生させることを特徴とする半導体デバイス

試験装置。

【請求項9】 請求項6または7記載の半導体デバイス試験装置の何れかにおいて、

多相パルス発生手段は同一遅延時間を持つ複数の遅延素子を縦続接続し、この縦続接続した複数の遅延素子の各接続点から多相パルスを得る構成としたことを特徴とする半導体デバイス試験装置。

【請求項10】 請求項6または7記載の半導体デバイス試験装置の何れかにおいて、

上記複数の比較判定手段は上記多相パルスで構成されるストロブパルスの遅延時間が短い側から順にその比較判定結果を次に遅延時間が長い比較判定手段に出力し、各比較判定手段は各前段の比較判定結果と不一致を検出した比較判定手段のみから有効とする判定結果を出力させ、この有効とする判定結果の出力ビット位置を上記基準クロックの変化点を検出したストロブパルスの相番号に変換する構成としたことを特徴とする半導体デバイス試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は高速で書き込み、および読み出しが可能なメモリを装備した半導体デバイスを試験する場合に用いて好適な半導体デバイス試験方法およびこの試験方法を用いて動作する半導体デバイス試験装置に関する。

【0002】

【従来の技術】半導体で構成されるメモリの品種の中にはクロックと共にデータを入力しクロックに同期して半導体デバイスへデータを書き込み、クロックと共にクロックに同期したデータが半導体デバイスから出力され、このクロックのタイミングを利用してデータの受渡しを行うメモリが存在する。図10Aにこの種のメモリの読み出し時の様子を示す。図10Aに示すDA、DB、DC…は半導体デバイスから出力されるデータ(ある1つのピンから出力されたデータ)を示す。TD1、TD2…は各テストサイクルを示す。図10Bに示すDQSはメモリから出力されるクロックを示す。データDA、DB、DC…はこのクロックDQSに同期して半導体デバイスから出力される。このクロックは実用されている状態では他の回路にデータDA、DB、DC…を受け渡す際の同期信号(データストロブ)として利用される。

【0003】この種の半導体デバイスを試験する場合の試験項目の一つに、各クロックDQS(以下このクロックを基準クロックと称す)の立上りおよび立下りのタイミングから、データの変化点までの時間差(位相差) dI1、dI2、dI3…を測定する項目がある。これらの時間差dI1、dI2、dI3…が例えば極力短い程応答が速く優れた特性を持つデバイスとして評価される。この時間差の長短によって被試験半導体デバイスのグレードが決定される。

【0004】被試験半導体デバイスから出力される基準クロックDQSは実用されている状態ではクロック源で生成されたクロックが半導体デバイスに印加され、このクロックが半導体デバイスの内部の回路に配給され、このクロックに同期してデータが出力される。従って、試験装置で試験を行う場合にも試験装置側から被試験半導体デバイスにクロックを印加し、そのクロックが被試験半導体デバイスの内部を通り、データと共にデータ受渡しのための基準クロックとして出力される。従って、この基準クロックの立上りと立下りのタイミングを測定し、この計測した立上りと立下りのタイミングからデータDA、DB、DC…の変化点までの時間dI1、dI2、dI3…を測定することになる。

【0005】上述したように半導体デバイスから出力される基準クロックはその半導体デバイスの内部を通過して出力されるため、その立上りのタイミングおよび立下りのタイミングは個々の半導体デバイスの内部及び温度等の外的環境の影響を大きく受け、図11に示すように各半導体デバイスごとに基準クロックDQS1、DQS2、DQS3…の位相に差が発生する現象が見られる。さらに位相の差は各半導体デバイスの違いによるものに加えて、半導体デバイスの内部でもアクセスするメモリのアドレスの違い、時間の経過(熱的な変化)に従って変動するいわゆるジッタJが発生する現象も見られる。

【0006】従って、基準クロックDQSの立上りのタイミングおよび立下りのタイミングからデータDA、DB、DC…の変化点までの時間dI1、dI2、dI3…を正確に測定するためには、先ず半導体デバイスから出力される基準クロックDQSの立上りのタイミングおよび立下りのタイミングを正確に測定しなければならない。このため、従来は半導体デバイス試験装置に装備している信号読み取り回路のストロブパルスの印加タイミングを漸次移動させ、基準クロックDQSの立上りおよび立下りのタイミングを測定し、その測定結果を使って時間dI1、dI2、dI3…を測定している。

【0007】図12に従来用いられている基準クロックDQSの立上りおよび立下りのタイミングを測定するための部分の構成を示す。レベル比較器10は一对の電圧比較器CP1とCP2によって構成され、これら一对の電圧比較器CP1とCP2により被試験半導体デバイスDUTが出力する基準クロックDQSの論理値が正規の電圧条件を満たしているか否かを判定する。電圧比較器CP1は基準クロックDQSのH論理の電圧値が正規の電圧値VOH以上であるか否かを判定する。また電圧比較器CP2は基準クロックDQSのL論理側の電圧値が正規の電圧VOL以下であるか否かを判定する。

【0008】これらの判定結果を信号読取回路11に入力し、この信号読取回路11で基準クロックDQSの立上りのタイミングおよび立下りのタイミングを測定する。信号読取回路11はストロブパルスSTBの印加

タイミング毎にそのとき入力されている論理値を読み取る動作を実行する。ストローブパルスSTBは各テストサイクル毎に少しずつ位相差( $\tau$ T)が与えられて印加される。つまり、テストサイクル毎にストローブパルスSTBが信号読取回路11に1個ずつ与えられて電圧比較器CP1およびCP2の出力の状態を読み取る動作を実行する。

【0009】論理比較器12は信号読取回路11が出力する論理値と予め定めた期待値(図の例ではH論理)とを比較し、信号読取回路11が出力する論理値が期待値と一致した時点でパス(良)を表わすパス信号PAを出力する。レベル比較器10の出力がH論理に反転したことを読み取ったストローブパルスSTB1の発生タイミング(ストローブパルスSTBの発生タイミングは既知)から時間T1を知り基準クロックDQSの立上りのタイミングを決定する。

【0010】基準クロックDQSの立下りのタイミングを検出する場合はストローブパルスSTBの発生は基準クロックDQSのH論理に立上ったタイミングより後のタイミングで発生を開始し、立上りの検出と同様に電圧比較器CP2の出力がH論理に反転した状態を読み取ったストローブパルスにより立下りのタイミングを決定する。

【0011】

【発明が解決しようとする課題】上述したように、従来は基準クロックDQSの発生タイミングを半導体試験装置に装備している信号読取回路11とこの信号読取回路11に印加するストローブパルスSTBを用いたタイミング測定手段を利用して測定しているから基準クロックDQSの立上りおよび立下りのタイミングを測定するだけでもテストサイクルTDを何サイクルも繰り返し実行しなくてはならないため、時間が掛かる欠点がある。

【0012】しかも、基準クロックDQSの立上りおよび立下りのタイミングの測定は試験すべき全てのアドレスあるいは発熱によるジッタの影響を回避する場合には試験パターンの開始から終了までの全てにわたって測定しなければならないから、基準クロックの立上りおよび立下りのタイミングを測定するには長い時間が必要となる。基準クロックDQSの立上りおよび立下りのタイミングを測定する時間を短くする方法としてはストローブパルスSTBに与える位相差 $\tau$ Tを粗く採り、テストサイクルの実行回数を減らすことも考えられるが、ストローブパルスSTBに与える位相差 $\tau$ Tを粗く変化させると、基準クロックDQSの立上りおよび立下りのタイミング測定の精度が低下し、この結果として基準クロックDQSとデータDA、DB、DC…の変化点までの時間dI1、dI2、dI3…の測定結果の信頼性が低下する欠点がある。

【0013】この発明の目的は極めて短時間にしかも精度良く基準クロックの立上りおよび立下りのタイミング

を測定することができる半導体デバイス試験方法と、この試験方法を利用した半導体デバイス試験装置を提供しようとするものである。

【0014】

【課題を解決するための手段】この発明の請求項1では、被試験デバイスから出力されるデータに付随してこのデータの受渡しに供する基準クロックが出力され、この基準クロックのタイミングとデータの変化点までの時間を計測し、この時間の計測値に応じて被試験デバイスを評価する半導体デバイス試験装置において、各テストサイクル毎に予め基準クロックが出力されるタイミングを被試験アドレスの全てにわたって計測し記憶すると共に、記憶した各テストサイクルの計測結果をデータの変化点までの時間を計測するための基準位相位置と決定する半導体デバイス試験方法を提案する。

【0015】この発明の請求項2では、請求項1記載の半導体デバイス試験方法において、各テストサイクル毎に各テストサイクルの所定の位相位置から順次わずかつ位相差が与えられた多相パルスを発生させ、この多相パルスを基準クロックの発生タイミングを検出するための信号読み取り回路のストローブパルスとして利用することにより、基準クロックの変化点を検出したストローブパルスの相番号によって基準クロックの変化点を計測する半導体デバイス試験方法を提案する。

【0016】この発明の請求項3では、請求項1記載の半導体デバイス試験方法において、基準クロックの変化点を検出したストローブパルスの相番号は、被試験半導体デバイスの被試験アドレスに対応したアドレスを具備したメモリに記憶され、被試験半導体デバイスを試験する際にはメモリの被試験半導体デバイスに印加されるアドレスに対応したアドレスから相番号を読み出し、この読み出した相番号によりデータの論理値を読み取るタイミングを決定する様にした半導体デバイス試験方法を提案する。

【0017】この発明の請求項4では、請求項1記載の半導体デバイス試験方法において、基準クロックの変化点を検出したストローブパルスの相番号は被試験半導体デバイスに印加されるテストパターンの発生順序を表すアドレスに対応したアドレスを持つメモリに記憶され、被試験半導体デバイスを試験する際にはメモリの被試験半導体デバイスに印加されるテストパターンの発生順序を表わすアドレスから相番号を読み出し、この読み出した相番号によりデータの論理値を読み取るタイミングを決定する様にした半導体デバイス試験方法を提案する。

【0018】この発明の請求項5では、請求項1記載の半導体デバイス試験方法において、基準クロックの変化点を検出した相番号に対応付けして予め設定したタイミングでストローブパルスを発生させ、このストローブパルスのタイミングにより被試験半導体デバイスが出力するデータの論理値を読み取る様にした半導体デバイス試

験方法を提案する。この発明の請求項6では、被試験半導体デバイスが出力するデータの論理値をストローブパルスの印加タイミングに従って読み取るデータ読み取り回路と、被試験半導体デバイスが出力する基準クロックの発生タイミングを計測するために設けられた複数の信号読み取り回路と、この複数の信号読み取り回路のそれぞれにわずかつ位相差が与えられた多相パルスで構成されるストローブパルスを印加する多相パルス発生手段と、複数の信号読み取り回路のそれぞれが読み取った結果を期待値と比較する複数の比較判定手段と、この複数の比較判定手段の判定結果を基準クロックの変化点を検出したストローブパルスの相番号に変換する変換手段と、この変換手段が変換した相番号を被試験半導体デバイスに印加したアドレスに対応したアドレスに記憶するメモリと、このメモリに記憶された相番号が読み出される毎に、この相番号に対応したストローブパルスの発生タイミングを設定するタイミング選択回路と、このタイミング選択回路に設定されたタイミング設定値に従ってデータ読み取り回路に印加するストローブパルスを生成するストローブパルス発生回路と、によって構成した半導体デバイス試験装置を提案する。

【0019】この発明の請求項7では、被試験半導体デバイスが出力するデータをストローブパルスの印加タイミングに従って読み取るデータ読み取り回路と、被試験半導体デバイスが出力する基準クロックの発生タイミングを計測するために設けられた複数の信号読み取り回路と、この複数の信号読み取り回路のそれぞれにわずかつ位相差が与えられた多相パルスで構成されるストローブパルスを印加する多相パルス発生手段と、複数の信号読み取り回路のそれぞれが読み取った結果を期待値と比較する複数の比較判定手段と、この複数の比較判定手段の判定結果を基準クロックの変化点を検出したストローブパルスの相番号に変換する変換手段と、この変換手段が変換した相番号を被試験半導体デバイスに印加したテストパターンの発生順序を表すアドレスに対応したアドレスに記憶するメモリと、このメモリに記憶された相番号が読み出される毎に、この相番号に対応したストローブパルスの発生タイミングを設定するタイミング選択回路と、このタイミング選択回路に設定されたタイミング設定値に従ってデータ読み取り回路に印加するストローブパルスを生成するストローブ発生回路と、によって構成した半導体デバイス試験装置を提案する。

【0020】この発明の請求項8では、請求項6または7記載の半導体デバイス試験装置の何れかにおいて、多相パルス発生手段は遅延時間がわずかつ異なる複数の遅延素子によって構成され、これら複数の遅延素子にパルスを印加してわずかつ位相差が与えられた多相パルスを発生させる半導体デバイス試験装置を提案する。この発明の請求項9では、請求項6または7記載の半導体デバイス試験装置の何れかにおいて、多相パルス発生手

段は同一遅延時間を持つ複数の遅延素子を縦続接続し、この縦続接続した複数の遅延素子の各接続点から多相パルスを得る構成とした半導体デバイス試験装置を提案する。

【0021】この発明の請求項10では、請求項6または7記載の半導体デバイス試験装置の何れかにおいて、複数の比較判定手段は多相パルスで構成されるストローブパルスの遅延時間が短い側から順にその比較判定結果を次に遅延時間が長い比較判定手段に出力し、各比較判定手段は各前段の比較判定結果と不一致を検出した比較判定手段のみから有効とする判定結果を出力させ、この有効とする判定結果の出力ビット位置を基準クロックの変化点を検出したストローブパルスの相番号に変換する構成とした半導体デバイス試験装置を提案する。

【0022】

【作用】この発明による半導体デバイス試験方法によれば、多相パルスを使って基準クロックの立上りおよび立下りのタイミングを測定するから、1テストサイクルの時間内で基準クロックの立上りまたは立下りのタイミングを測定することができる。しかも多相パルスに与える位相差を小さく採ることにより、基準クロックDQSの立上りおよび立下りのタイミング測定精度を高く採ることができる。従って、短時間にしかも精度良く基準クロックの立上りおよび立下りのタイミングを測定でき、この結果として基準クロックDQSとデータDA、DB、DC…の変化点までの測定結果を短時間に得ることができ、しかも信頼性を向上できる利点を得られる。

【0023】

【発明の実施の形態】図1はこの発明による半導体デバイス試験方法を用いて動作する半導体デバイス試験装置の要部の構成を示す。図1に示すこの発明の要部を説明する前に念のために図2を用いて一般的な半導体デバイスを試験する試験装置の概要を説明する。図中TESは半導体デバイス試験装置の全体を示す。半導体デバイス試験装置TESは主制御器13と、パターン発生器14、タイミング発生器15、波形フォーマッタ16、論理比較器12、ドライバ17、信号読取回路11、不良解析メモリ18、論理振幅基準電圧源19、比較基準電圧源21、デバイス電源22等により構成される。尚、ここでは図12に示したレベル比較器10は信号読取回路11に含まれているものとして示している。

【0024】主制御器13は一般にコンピュータシステムによって構成され、利用者が作成した試験プログラムに従って主にパターン発生器14とタイミング発生器15を制御し、パターン発生器14から試験パターンデータを発生させ、この試験パターンデータを波形フォーマッタ16で実波形を持つ試験パターン信号に変換し、この試験パターン信号を論理振幅基準電圧源19で設定した振幅値を持った波形に電圧増幅するドライバ17を通じて被試験半導体デバイスDUTに印加し記憶させる。

【0025】被試験半導体デバイスDUTから読み出した応答信号は信号読取回路11でその論理値を読み取る。論理比較器12は信号読取回路11で読み取った論理値がパターン発生器14から出力される期待値と比較し、期待値と不一致が発生した場合は、その読み出したアドレスのメモリセルに不良があるものと判定し、不良発生毎に不良解析メモリ18に不良アドレスを記憶し、試験終了時点で例えば不良セルの救済が可能か否かを判定する。

【0026】図2は1ピン分の試験装置の構成を示すが現実には、この構成が被試験半導体デバイスDUTのピン数分は設けられ、各ピン毎にテストパターンの入力と、被試験半導体デバイスDUTの応答信号の取り込みが実行される。この発明では図1に示すように、基準クロックDQSを出力するピンPNに対してレベル比較器10と、多相パルス発生器30と、複数の信号読取回路TC1、TC2、TC3、TC4、TC5…と、複数の比較判定手段PF1、PF2、PF3、PF4、PF5…と、これらの比較判定手段PF1、PF2、PF3、PF4、PF5…の判定結果を多相パルスの相番号に変換する変換手段31と、この相番号を記憶するメモリ32と、テスト時にメモリ32から読み出した相番号から、ストローブパルスSTBの発生タイミングを選択して出力するタイミング選択回路33と、このタイミング選択回路33で選択したタイミングでストローブパルスSTBを発生させるストローブ発生回路34とを設けた構成とした半導体デバイス試験装置を提案するものである。

【0027】多相パルス発生器30はこの例では遅延時間がわずかに異なる値に設定された複数の遅延素子DY1、DY2、DY3、DY4、DY5…によって構成した場合を示す。各遅延素子DY1、DY2、DY3、DY4、DY5…の遅延時間に例えば100PS（ピコ秒）ずつの時間差を持たせることにより、100PSの時間差を持つ多相パルスを発生させることができる。図3Bに多相パルスの一例を示す。テストサイクルTDの所定の位相位置から例えば100PSずつ、位相差が与えられた多相パルスP1、P2、P3、P4…が信号読取回路TC1、TC2、TC3、TC4、TC5…の各ストローブパルスの入力端子に与えられる。

【0028】信号読取回路TC1、TC2、TC3、TC4、TC5…の各入力端子にはレベル比較器10からレベル比較結果を入力する。図1では、基準クロックDQSの立上りのタイミングを測定する場合の構成を示す。従って、信号読取回路TC1、TC2、TC3、TC4、TC5…の各入力端子にはH論理側のレベル比較を行う電圧比較器CP1の出力を入力している。基準クロックDQSの立下り側のタイミングを測定する構成は図1では省略しているが、その構成は図1に示す構成と同様であり、その場合はL論理側のレベル比較を行う電

圧比較器CP2の出力を多相パルスで読み込む構成とされる。

【0029】図3に基準クロックDQSの立上りのタイミングを測定する様子を、また図4に基準クロックDQSの立下りのタイミングを測定する様子を示す。図3A及び図4Aは被試験半導体デバイスDUTの基準クロックを出力するピンPNから出力される基準クロックDQSの波形を示す。レベル比較器10を構成する電圧比較器CP1には比較電圧VOHが与えられ、基準クロックDQSのレベルが比較電圧VOHより高くなると電圧比較器CP1はH論理を出力する。

【0030】従って電圧比較器CP1がH論理を出力した後に多相パルスで構成されるストローブパルスが印加されると、その信号読取回路はH論理を出力する。比較判定手段PF1、PF2、PF3、PF4、PF5…はそれぞれ期待値（この例ではH論理）と信号読取回路TC1、TC2、TC3、TC4、TC5…の各読み取り結果とを比較し、信号読取回路TC1、TC2、TC3、TC4、TC5…の出力とH論理の期待値とが一致すると一致を表わすH論理を出力する。

【0031】各比較判定手段PF1、PF2、PF3、PF4、PF5…は更に前段（多相パルスの相順序が1つ若い番号の比較判定手段）の比較判定手段の判定結果と、自己の信号読み取り結果とを比較し、前段の比較判定結果と自己の信号読み取り結果との間に不一致が発生した状態で有効と判定し、有効を表わす判定結果を出力する。図3及び図4の例では比較判定手段PF4が有効を表わすH論理の判定結果を出力した場合を示す。

【0032】図5に比較判定手段の一例としてPF4の具体的な構成の一例を示す。図5では基準クロックDQSの立下りのタイミングを測定する回路にも兼用できる構成とした場合を示す。従って、電圧比較器CP2の出力側に信号読み取り回路TC4<sup>-</sup>を接続し、信号読取回路TC4とTC4<sup>-</sup>のストローブ入力端子には図3及び図4に示した多相パルスP4及びTC4<sup>-</sup>がストローブパルスとして与えられる。

【0033】比較判定手段PF4は期待値EXPと信号読取回路TC4及びTC4<sup>-</sup>の出力とを比較するゲートG1とG2及びこれらのゲートG1、G2の出力の論理和をとるオアゲートG3と、このオアゲートG3の出力と前段の比較判定結果との不一致を検出する不一致検出ゲートG4とによって構成することができる。基準クロックDQSの立上りのタイミングは電圧比較器CP1と、信号読取回路TC4と、ゲートG1と、オアゲートG3と、不一致検出ゲートG4とからなる系路で検出することができる。基準クロックDQSの立ち上がりのタイミングを測定する場合の期待値としてはH論理が与えられ、立下りのタイミングを検出する場合の期待値としてはL論理が設定される。H論理の期待値が設定されることにより、ゲートG1が有効となり、このゲートG1

は信号読取回路TC4の出力がH論理に反転するか否かを監視する。

【0034】信号読取回路TC4の出力がH論理に反転するとゲートG1の出力もH論理に反転し、そのH論理はオアゲートG3を通して不一致検出ゲートG4に入力される。不一致検出ゲートG4は例えば排他的論理和回路によって構成することができ、その一方の入力端子には前段の比較判定結果P/Fが与えられる。前段の比較判定結果P/FがH論理でなく、自己の信号読取回路TC4の読み取り結果がH論理に反転した場合にだけ不一致検出ゲートG4はH論理を出力する。このH論理の出力は図1に示す変換手段31に入力されると共に、次段の比較判定手段、ここではPF5に供給される。次段の比較判定手段PF5では自己の信号読取回路PC5がH論理を出力するが前段の比較判定手段PF4からH論理が入力されているから不一致の検出結果は出力されず、L論理が出力される。

【0035】この結果、基準クロックDQSのレベルがレベル比較のために設けた比較電圧VOHを越えた時点から最初に多相パルスが与えられた比較判定手段のみがH論理を出力することになる。尚、初段の比較判定手段PF1の不一致検出ゲートG4には前段の比較判定結果としてL論理を与える。これにより自己の信号読取回路TC1がH論理を出力するとH論理の不一致検出信号を出力し、テストサイクルTDの初期において基準クロックDQSが立上ったことを検出する。

【0036】変換手段31は各比較判定手段PF1、PF2、PF3、PF4、PF5…の比較判定結果を取り込んで、可及的に小さいビット数のデータに変換する。つまり、この発明では比較判定手段PF1、PF2、PF3、PF4、PF5…の各判定結果が有効となる信号読取回路の読み取り結果を与えた多相パルスの相番号に変換する構成とした点を特徴とするものである。図6に変換手段31の変換アルゴリズムを示す。信号読取回路TC1、TC2…と比較判定手段PF1、PF2…はデバイスのスペックに対して測定精度を十分満足することのできるストローブ間隔で設定できるだけの個数を設けることが望ましいが、ここでは8個の比較判定手段PF1～PF8が存在するものとして示している。8個の比較判定手段PF1～PF8の何れか一つがH論理（図では1で示す）を出力すると、そのビット位置を数値1～8に変換し、更にその数値から「1」を減算し、その減算結果をこの例では4ビットの数値データD0～D7に変換した場合を示す。4ビットの数値データD0～D7は多相パルスP1～P8の相順序を表わす番号として取り扱うことができる。4ビットにより0～15の16相分の番号に変換することができ、この相番号をメモリ32に記憶させる。

【0037】このように例えば8ビットの比較判定結果を4ビットの相番号データに変換することにより、メモ

リ32の記憶容量を小さくできる利点を得られる。図1に示す実施例ではパターン発生器14から被試験半導体デバイスDUTに印加するX、Yアドレスを必要に応じてアドレス変換回路35で適当なアドレス（メモリ32の構成に適したアドレス）に変換し、被試験半導体デバイスDUTに印加するアドレスと対応したアドレスに各測定値を記憶させる。従って、メモリ32は被試験半導体デバイスDUTの試験すべきアドレスつまり、被試験アドレスに対応した全てのアドレス空間を装備しているものとする。

【0038】被試験半導体デバイスDUTを試験するに先立って、被試験半導体デバイスの被試験アドレスの全てに渡って書き込み、読み出しを実行し、その読み出し時に出力される基準クロックDQSの立上り及び立下りのタイミングを被試験半導体デバイスDUTに印加した各アドレス毎に測定し、その測定の結果として得られる多相パルスの相番号をメモリ32に記憶する。尚、基準クロックDQSの立下りのタイミングの測定は図4に示すように多相パルスP1、P2、P3、P4、P5…の位相を、一定量ずつ基準クロックDQSの立下り側に遅延させて行われる。

【0039】基準クロックDQSの立上りまたは立下りのタイミングを測定し、その測定結果をメモリ32に取り込んだ状態で被試験半導体デバイスDUTの試験を開始する。被試験半導体デバイスDUTを試験する場合、被試験半導体デバイスDUTの各アドレスからデータを読み出すのと平行してメモリ32からそのアドレスをアクセスした場合に出力された基準クロックDQSの立上りまたは立下りのタイミングに相当する測定結果（多相パルスの相番号）を読み出す。読み出された測定結果は図1に示したタイミング選択回路33に入力され、このタイミング選択回路33で、被試験半導体デバイスDUTから読み出されるデータを読み取るための信号読取回路11に与えるストローブパルスSTBの印加タイミングを選択する。

【0040】図7にタイミング選択回路33の概要を示す。タイミング選択回路33はストローブパルスSTBの発生タイミングを記憶したタイミングメモリ33Aと、このタイミングメモリ33Aに記憶した発生タイミングの何れかをメモリ32から読み出される測定結果にしたがって選択するセレクタ33Bとによって構成される。タイミングメモリ33Aには例えば200PS、300PS、400PS、500PS…の16種類の時間値が記憶されている。この時間値は各テストサイクルTDの初期位相位置からの時間値に対応しており、測定した基準クロックDQSの立上りまたは立下りのタイミングを指し示している。この時間値で与えられるタイミングがこれから測定しようとするデータの変化点までの時間dI1、dI2、dI3…を測定する基準位相位置となる。この時間値をメモリ32に取り込んで 込んである測定結



果に従って選択し、その選択された時間値をストローブ発生回路34に入力する。

【0041】ストローブ発生回路34ではタイミング選択回路33から入力された時間値に被試験半導体デバイスDUTから読み出されるデータの変化点までの時間(予定値)を加算または減算し、その演算結果のタイミングでストローブパルスSTBを発生し、このストローブパルスSTBを信号読取回路11に印加して被試験半導体デバイスDUTから読み出されるデータの読取を実行させ、そのストローブパルスのタイミングでデータの変化点が存在するか否かを試験する。

【0042】つまり、半導体デバイスの設計者は基準クロックDQSの立上り又は立下りのタイミングから半導体デバイスより読み出されるデータの変化点までの時間を予め設計値として把握している。従って、基準クロックDQSの立上り及び立下りのタイミングを予め測定し、そのタイミングを既知の値にしておくことにより基準クロックDQSの立上り及び立下りのタイミングから、予定した時間の範囲内にデータの変化点が存在したか否かを試験すれば正確な検査を実施することができることになる。

【0043】上述では、被試験半導体デバイスDUTの各アドレス毎に基準クロックDQSの立上り又は立下りのタイミングを測定する実施例について説明したが、半導体デバイスが例えば動作開始からの時間(例えば熱によるドリフト)に対応して基準クロックDQSの立上り、又は立下りのタイミングが漸次変動する現象に関しても、この発明を適用することにより熱によるドリフトを考慮した試験を実施することができる。

【0044】図8はその実施例を示す。この実施例ではパターン発生器14から出力される試験パターンのサイクル数を計数するサイクルカウンタ36を設け、このサイクルカウンタ36によって試験パターンの何サイクル目を試験しているかを計数させ、その計数値をアドレス変換回路35でメモリ32のアドレス信号に変換し、このアドレス信号でメモリ32をアクセスする構成とした場合を示す。従って、試験に先立って、予め試験パターン(試験プログラム)の開始から終了までの間の全ての読み出しモードにおいて、半導体デバイスDUTから出力される基準クロックDQSの立上り、又は立下りのタイミング位置を測定し、この測定結果をメモリ32に取り込む。基準クロックDQSの立上り又は立下りのタイミングを試験パターンの開始から終了するまでの全てにわたって測定した状態で試験を開始する。この試験中にメモリ32から基準クロックDQSの立上り又は立下りのタイミングの測定結果を読み出し、この測定結果を用いて被試験デバイスから読み出されるデータを読み取るためのストローブパルスのタイミングを決定することにより、時間の経過に従って基準クロックDQSのタイミングが漸次変動しても、その変動に追従してデータを読

み取るタイミングも変化し、熱によるドリフトを考慮した試験を実施することができる。

【0045】図9は多相パルス発生手段30の変形実施例を示す。この実施例では、わずかな遅延時間を持つ遅延素子DY1、DY2、DY3、DY4、DY5…を縦続接続し、その各接続点からわずかつ位相差が与えられた多相パルスを発生させる構成とした場合を示す。

【0046】

【発明の効果】以上説明したようにこの発明によれば図3、図4に示した多相パルスP1、P2、P3、P4、P5…及びP1'、P2'、P3'、P4'、P5'…を用いることにより1テストサイクルTDの時間内で基準クロックDQSの立上り又は立下りのタイミングを測定するから従来と比較して極めて短時間に基準クロックDQSの立上り又は立下りのタイミングを測定することができる。この結果としてこの種の半導体デバイスを短時間にかつ精度良く試験することができ、試験装置の運用効果を高めることができる利点が得られる。

【0047】また、基準クロックDQSの立上り又は立下りのタイミングの測定結果を多相パルスの相番号に変換したから、データのビット数を小さくすることができる。この結果としてメモリ32の記憶容量を小さくできるから本回路の追加におけるコスト増を最小限にすることができる。

【図面の簡単な説明】

【図1】この発明による半導体デバイス試験方法を用いて動作する半導体デバイス試験装置の一実施例を示すブロック図。

【図2】一般的な半導体デバイス試験装置の概要を説明するためのブロック図。

【図3】図1に示したこの発明による半導体デバイス試験装置の要部の動作を説明するためのタイミングチャート。

【図4】図3に示したタイミングチャートの他の例を説明するための同様のタイミングチャート。

【図5】図1に示したこの発明による半導体デバイス試験装置に用いた比較判定手段の構成の一例を説明するためのブロック図。

【図6】図5に示した比較判定手段の動作を説明するための図。

【図7】図1に示したこの発明による半導体デバイス試験装置に用いたタイミング選択回路の構成を説明するためのブロック図。

【図8】図1に示したこの発明による半導体デバイス試験装置の変形実施例を示すブロック図。

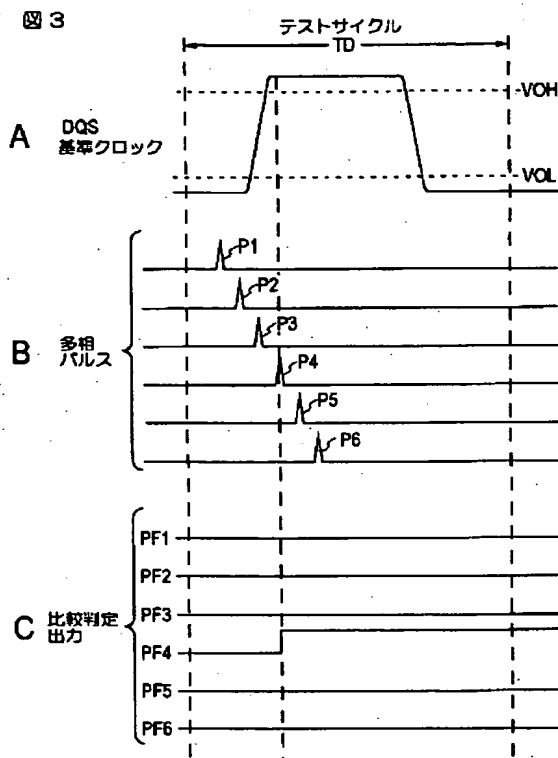
【図9】この発明による半導体デバイス試験装置の更なる他の変形実施例を示すブロック図。

【図10】この発明で試験しようとする半導体デバイスの特徴を説明するためのタイミングチャート。

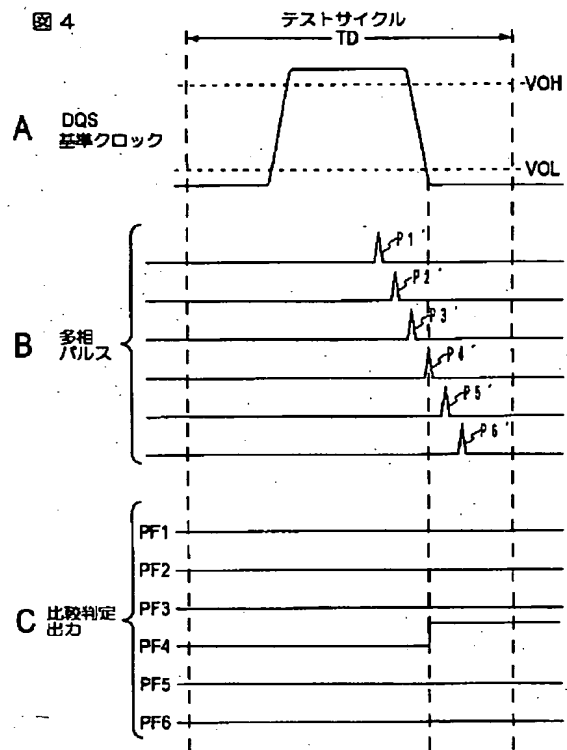
【図11】図10で説明した半導体デバイスが持つ問題



【図3】



【図4】



【図5】

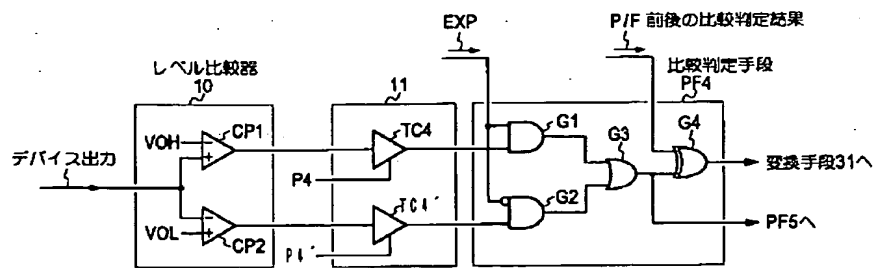


図 5

【図6】

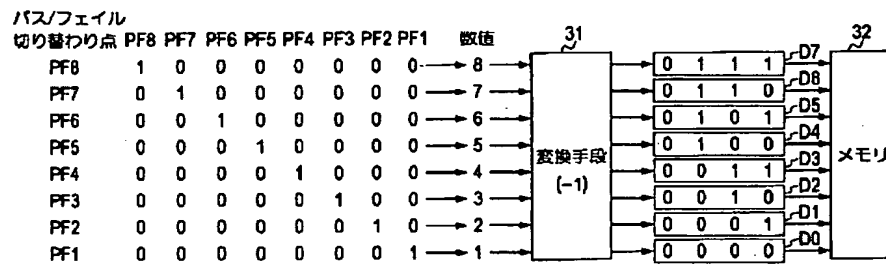
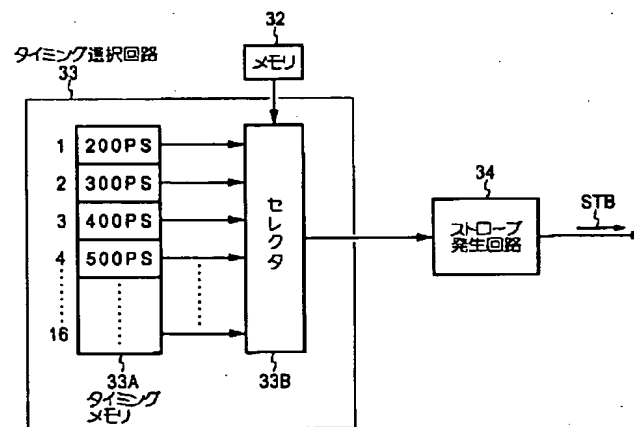


図 6

【図7】

図 7



【図10】

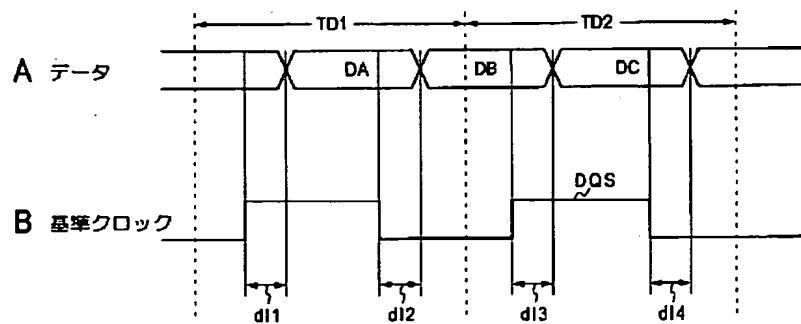


図 10

【図8】

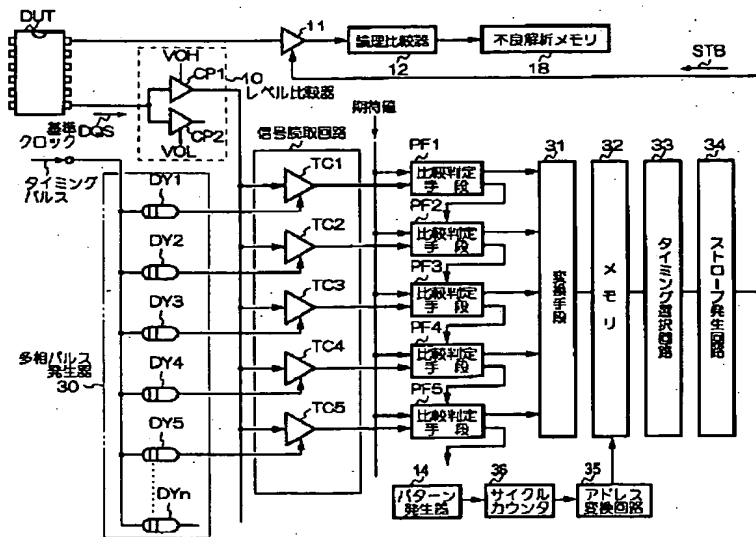


図 8

【図9】

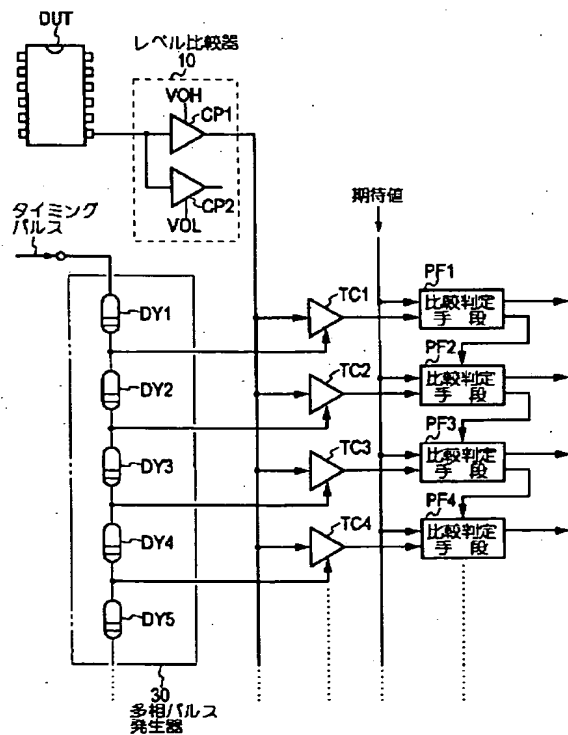
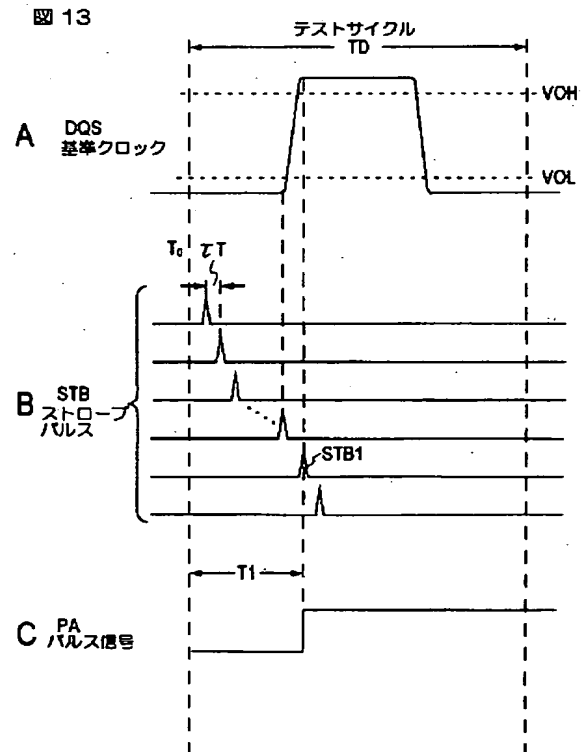


図 9

【図13】



【図11】

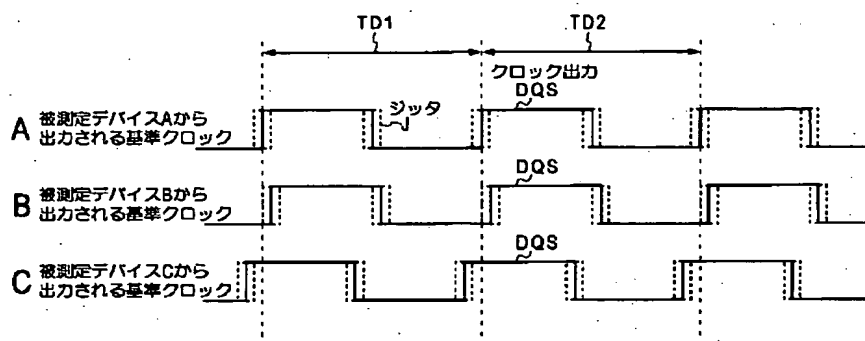


図 11

【図12】

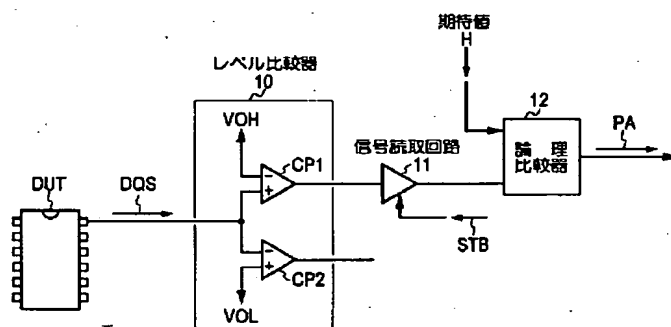


図 12